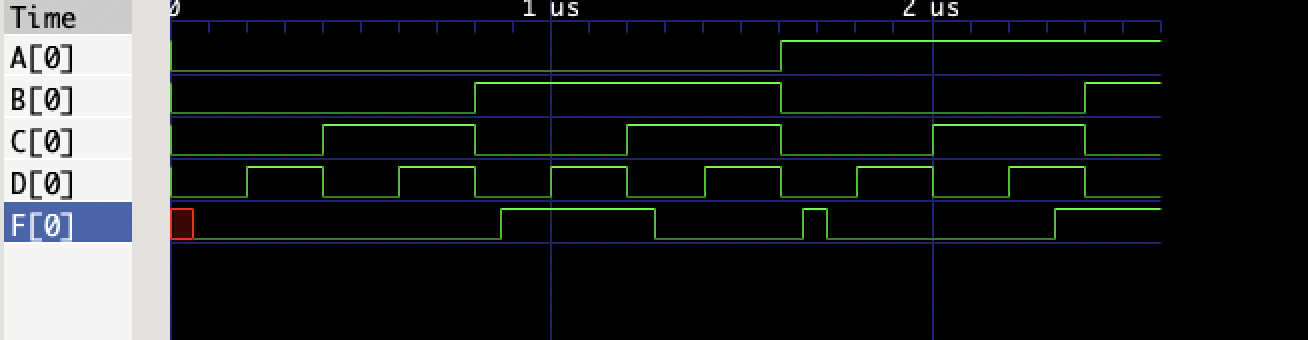
Verilog project1 b10601002 廖品捷

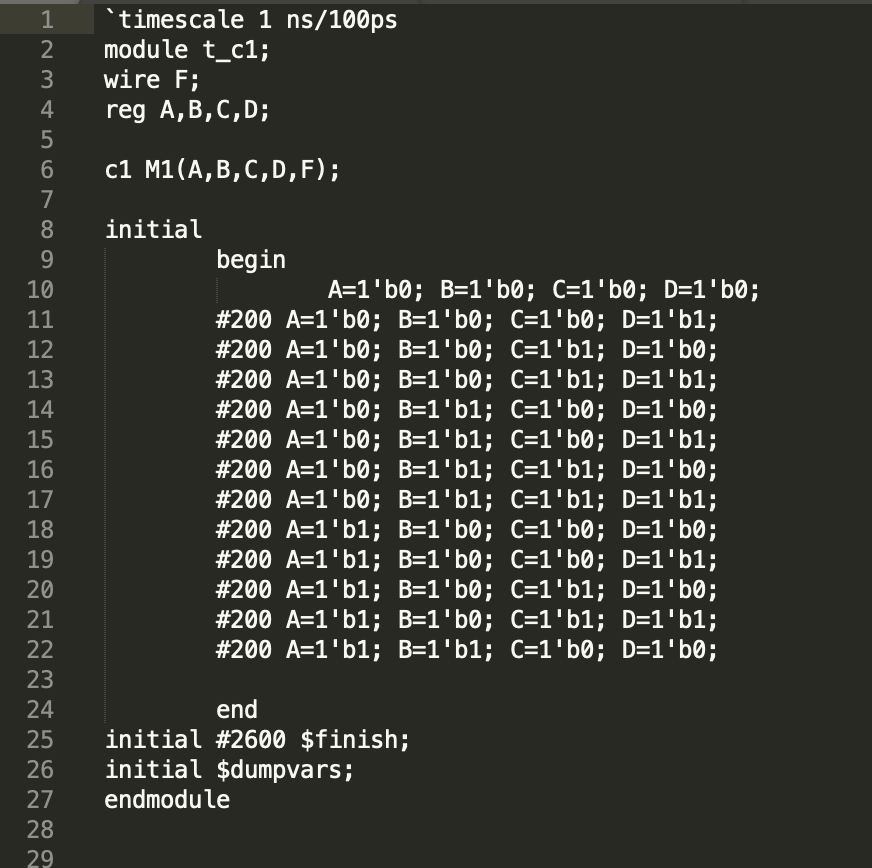
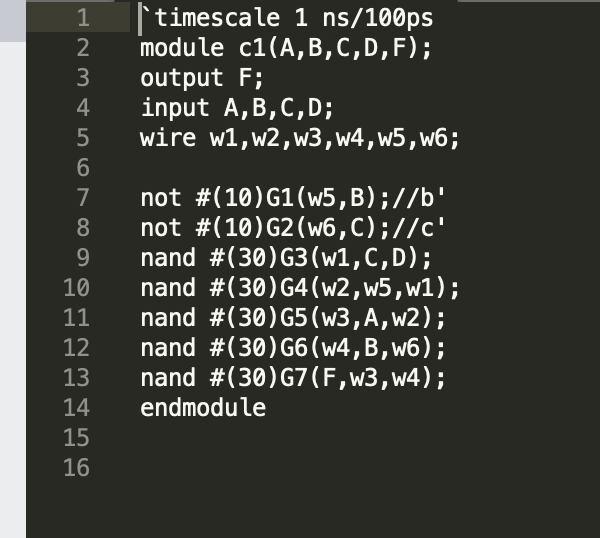
這次的專案是我的verilog處女作，一開始對於環境相當陌生，經過上網查詢後變得越來越上手，實作過程中為了觀察glitch的發生，測資試了許多組發現gate的delay和測資是造成其的主要原因

**Circuit 1:**

有glitch的發生：

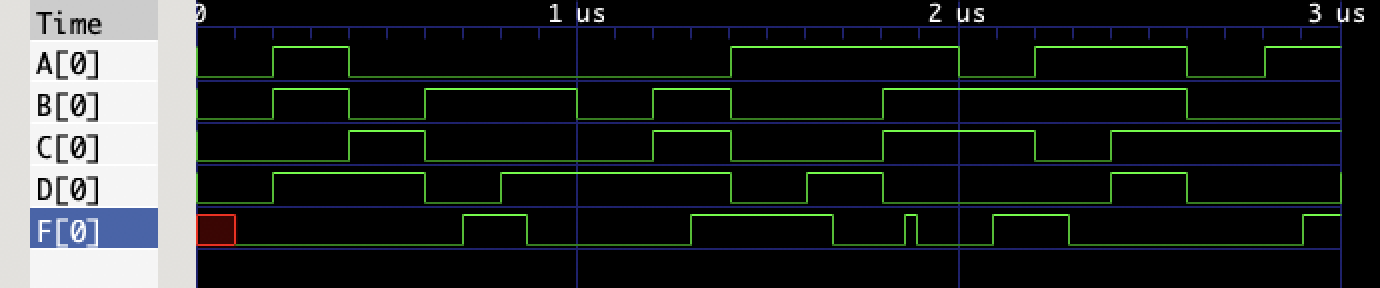


source code:

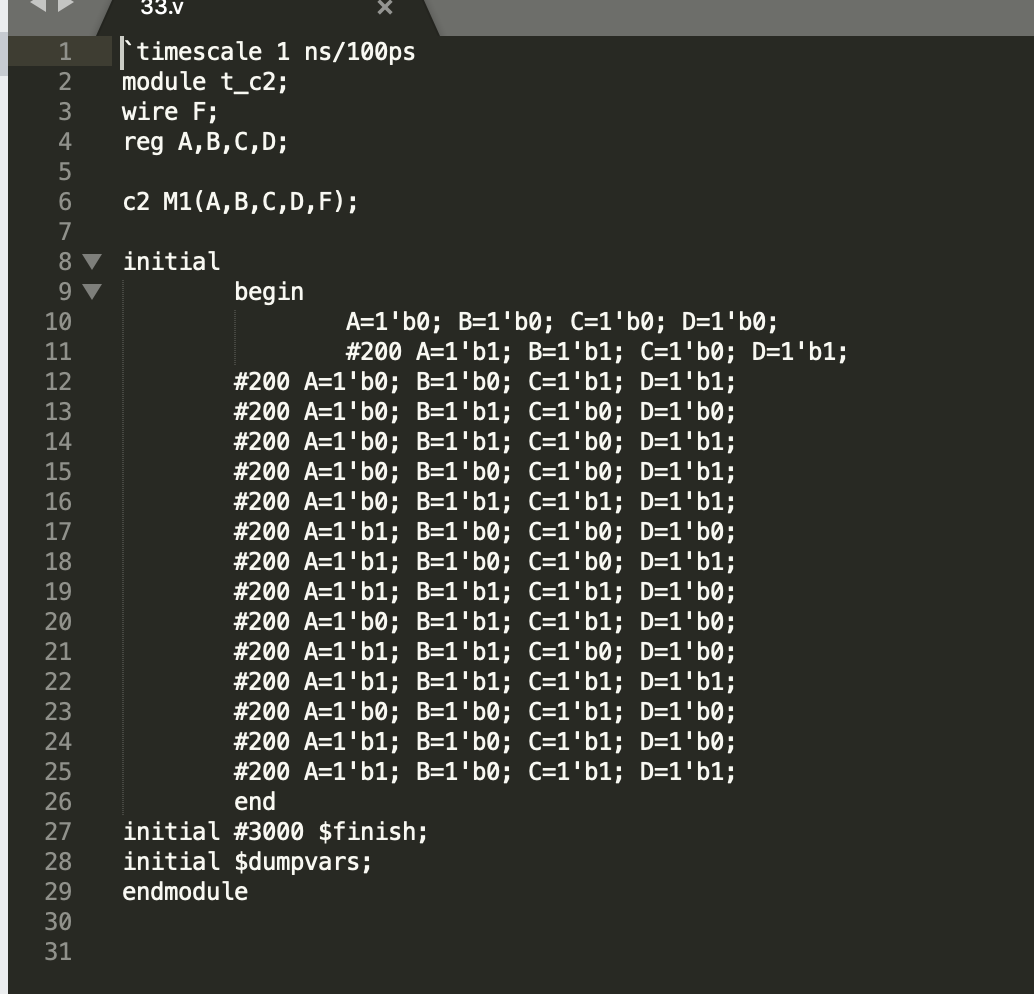
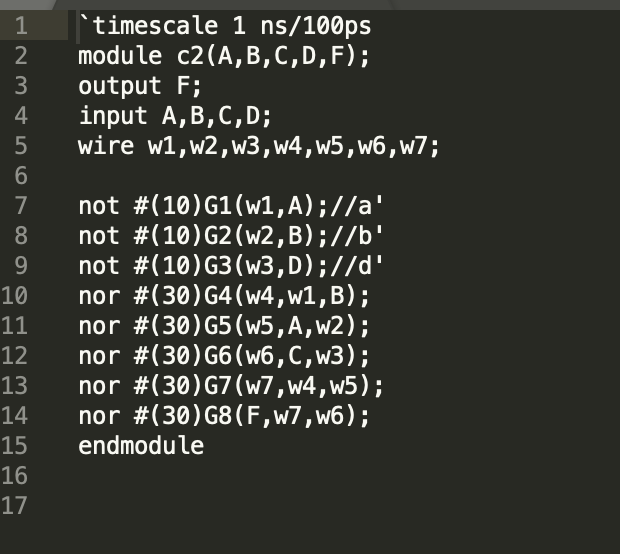


**circuit2**

有glitch的發生：

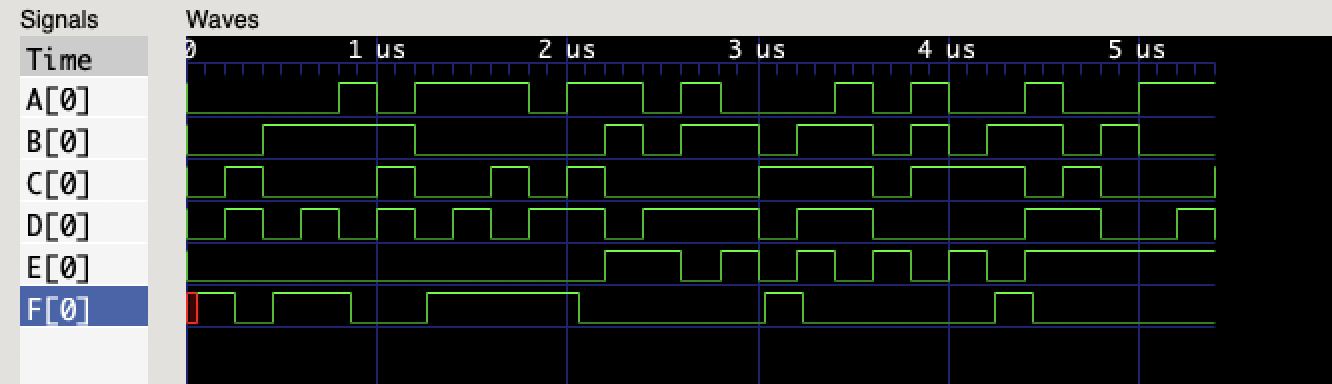
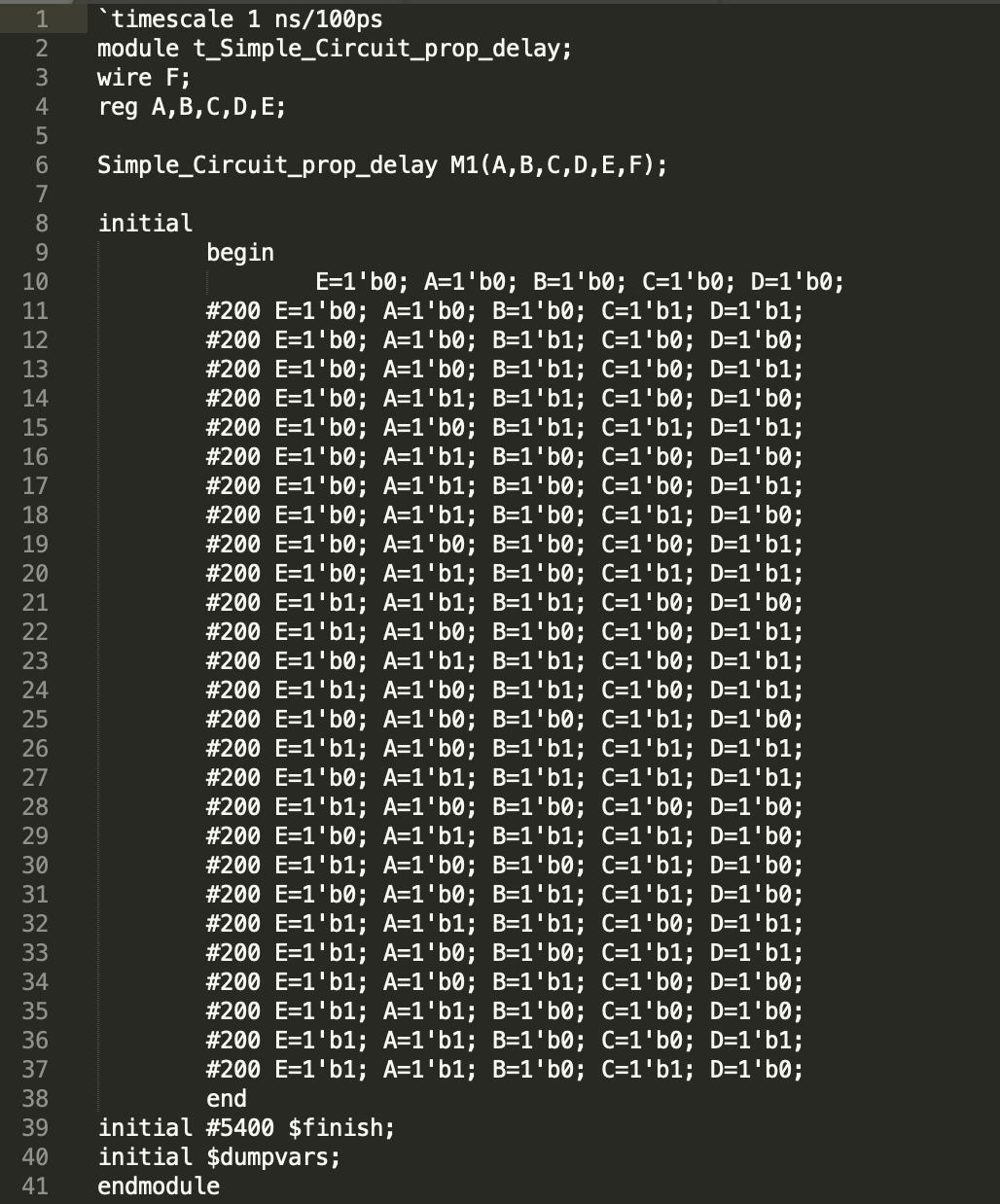
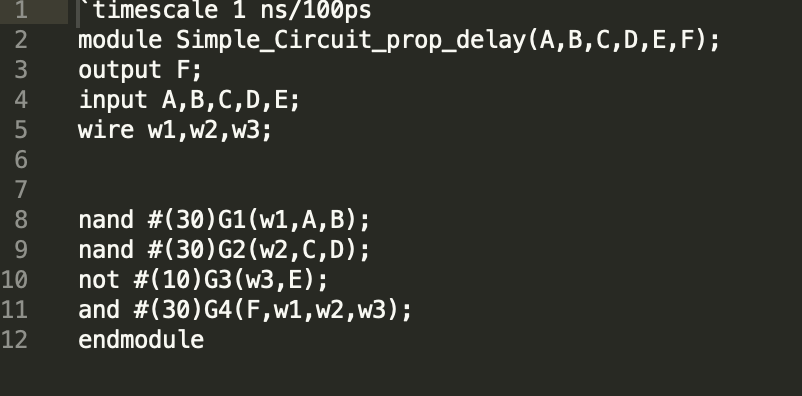


source code:



**circuit3**

沒有glitch發生：

將And Gate的延遲改成20 ----🡪 有glitch發生

